

553,044

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 10 月 28 日 (28.10.2004)

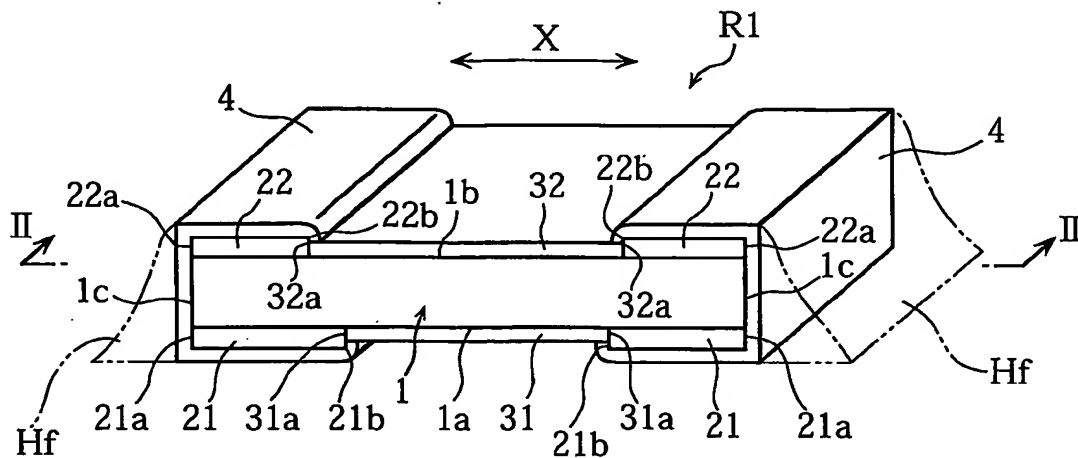
PCT

(10) 国際公開番号  
WO 2004/093101 A1

- (51) 国際特許分類: H01C 3/00 (74) 代理人: 吉田 稔, 外(YOSHIDA, Minoru et al.); 〒5430014 大阪府大阪市天王寺区玉造元町 2 番 3 2 - 1 3 0 1 Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/005523
- (22) 国際出願日: 2004 年 4 月 16 日 (16.04.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2003-112015 2003 年 4 月 16 日 (16.04.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 塚田 虎之 (TSUKADA, Torayuki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, [続葉有])

(54) Title: CHIP RESISTOR AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: チップ抵抗器およびその製造方法



(57) Abstract: A chip resistor (R1) comprises a resistive element (1) having a first surface (1a) on one side and a second surface (1b) on the opposite side, at least two main electrodes (21) formed on the first surface (1a) apart from each other, and at least two auxiliary electrodes (22) which are formed on the second surface (1b) apart from each other in the positions opposite to the main electrodes (21) via the resistive element (1). The main electrodes (21) and the auxiliary electrodes (22) are made of the same material.

(57) 要約: チップ抵抗器 (R1) は、第 1 面 (1a) およびこの第 1 面とは逆の第 2 面 (1b) を有する抵抗体 (1) と、前記第 1 面 (1a) 上に相互に離間して設けられた少なくとも 2 つの主電極 (21) と、前記第 2 面 (1b) 上に相互に離間するとともに、前記抵抗体 (1) を介して前記主電極 (21) と対向する位置に設けられた少なくとも 2 つの補助電極 (22) と、を具備している。前記主電極 (21) と前記補助電極 (22) とは材質が同じである。

WO 2004/093101 A1



NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## 明細書

## チップ抵抗器およびその製造方法

## 5 技術分野

本発明は、チップ抵抗器およびその製造方法に関する。

## 背景技術

本願の図10および図11は、従来のチップ抵抗器を示す。図10のチップ抵抗器1Aは、日本国特許出願公開第2002-57009号公報に開示されたものであり、図11のチップ抵抗器2Aは、日本国特許出願公開第2002-57010号公報に開示されたものである。

図10に示すように、チップ抵抗器1Aは、金属製の抵抗体100と、一対の銅製の電極110を備えている。2つの電極110は、抵抗体100の下面100aに固定されているとともに、図に示すX方向において相互に離間配置されている。各電極110の下面には、ハンダ層130が設けられている。

チップ抵抗器1Aは、例えばプリント回路基板にハンダを用いて面実装される。このとき、溶融したハンダが、各電極110の下面全体に均一に接触することが望ましい。しかしながら、溶融ハンダが、各電極110の内側側面111およびその近傍にのみ、接触する場合がある。あるいは、溶融ハンダが各電極110の外側側面112部分にのみ接触する場合もある。前者の場合と後者の場合とでは、チップ抵抗器1Aによって提供される抵抗値が異なりうる。そのため、チップ抵抗器1Aを用いた回路において、ハンダ付けの状態によっては、所期の電気的特性が得られない場合があった。このような不具合は、低抵抗値（例えば100mΩ以下）を有するチップ抵抗器において顕著となる。

図11に示すチップ抵抗器2Aは、上述したチップ抵抗器1Aに、一対のボンディングパッド120を追加した構成を有している。具体的には、2つのボンディングパッド120は、抵抗体100の上面100bに固定されるとともに、X方向に相互に離間して設けられている。図に示すように、各ボンディングパッド120は、対応する一の電極110の真上に位置している。ボンディングパッド120は、ニッケルなど、ワイヤボンディングに適した材料で形成

されており、抵抗体 100 よりも小さい比抵抗を有している。

上記構成によれば、チップ抵抗器 2A の端部（電極 110、ボンディングパッド 120、および、これらに挟まれた抵抗体 100 の端部からなる集合体）の抵抗値は、ボンディングパッド 120 を設けない場合（すなわち図 10 に示すチップ抵抗器 1A の場合）よりも小さくなる。したがって、チップ抵抗器 1A について上述した不具合は、チップ抵抗器 2A においては低減あるいは実質的に解消される。

しかしながら、図 11 のチップ抵抗器 2A においては、電極 110 が銅製であるのに対して、ボンディングパッド 120 は例えばニッケル製である。そのために、電極形成用およびボンディングパッド形成用として、異なる 2 つの材料を準備しなければならない。また、このように材料の異なる電極 110 とボンディングパッド 120 とは、別々の工程で形成する必要がある。その結果、チップ抵抗器 2A の生産コストが高くなるという問題があった。

## 15 発明の開示

本発明は、上述した事情のもとで考え出されたものである。そこで本発明は、ハンダ付けの状態に起因する抵抗値の変動が小さく、かつ、生産コストの低減を図ることが可能なチップ抵抗器を提供することをその課題としている。また、本発明は、そのようなチップ抵抗器の製造方法を提供することを別の課題としている。

本発明の第 1 の側面により提供されるチップ抵抗器は、第 1 面およびこの第 1 面とは逆の第 2 面を有する抵抗体と、前記第 1 面上に相互に離間して設けられた少なくとも 2 つの主電極と、前記第 2 面上に相互に離間するとともに、前記抵抗体を介して前記主電極と対向する位置に設けられた少なくとも 2 つの補助電極と、を具備している。前記主電極と前記補助電極とは材質が同じである。

好ましくは、前記補助電極の間の離間距離は、前記主電極の間の離間距離以上とされている。

好ましくは、本発明のチップ抵抗器は、前記抵抗体上に形成された第 1 絶縁層および第 2 絶縁層をさらに具備している。前記第 1 絶縁層は、前記抵抗体の前記第 1 面のうち前記主電極の間に位置する領域を覆っており、前記第 2 絶縁層は、前記抵抗体の前記第 2 面のうち前記補助電極の間に位置する領域を覆っ

ている。

好ましくは、前記第 1 絶縁層の厚みは、前記主電極の厚み以下とされている。

好ましくは、本発明のチップ抵抗器は、前記抵抗体上に形成された少なくとも 2 つのハンダ層をさらに具備している。前記抵抗体は、相互に離間した一対の端面を含んでおり、各端面は、前記 2 つのハンダ層のうち対応する一のハンダ層により覆われている。

好ましくは、前記ハンダ層は、前記抵抗体の前記端面に加えて、前記主電極および前記補助電極を覆っている。

好ましくは、本発明のチップ抵抗器は、前記抵抗体上に形成された第 3 絶縁層をさらに具備している。前記抵抗体は、前記第 1 面および前記第 2 面の間を延びる側面を有しており、この側面が、前記第 3 絶縁層により覆われている。

本発明の第 2 の側面によれば、チップ抵抗器の製造方法が提供される。この方法は、第 1 面およびこの第 1 面とは逆の第 2 面を有する抵抗材料体を準備し、前記第 1 面上に第 1 導電層をパターン形成し、前記第 2 面上に第 2 導電層をパターン形成し、前記抵抗材料体を複数の抵抗体に分割する、各ステップを具備している。前記第 1 導電層および前記第 2 導電層は、同一の材料から形成される。

好ましくは、前記抵抗材料体の分割は、結果として得られるチップ抵抗器が、前記第 1 導電層の一部としての主電極を備え、かつ、前記第 2 導電層の一部としての補助電極を備えるように行われる。

好ましくは、本発明の方法は、前記第 1 導電層のパターン形成に先立ち、前記抵抗材料体の前記第 1 面上に第 1 絶縁層をパターン形成するとともに、前記抵抗材料体の前記第 2 面上に第 2 絶縁層をパターン形成するステップをさらに具備している。前記第 1 導電層および前記第 2 導電層は、前記抵抗材料体のうち、前記第 1 および第 2 絶縁層が形成されていない領域に形成される。

好ましくは、前記絶縁層のパターン形成は、厚膜印刷により行なう。

好ましくは、前記第 1 および第 2 導電層の形成は、金属メッキにより行なう。

好ましくは、前記抵抗材料体の分割は、打ち抜きまたは切断により行なわれる。

好ましくは、本発明の方法は、各抵抗体の側面上に絶縁層を形成するとともに、前記各抵抗体の端面に、バレルメッキ処理によってハンダ層を形成するス

チップをさらに具備している。

#### 図面の簡単な説明

- 図 1 は、本発明に基づくチップ抵抗器を示す斜視図である。
- 5 図 2 は、図 1 のII-II線に沿う断面図である。
- 図 3 A～3 C は、上記チップ抵抗器の製造方法の一部を説明する図である。
- 図 4 A～4 B は、図 3 C の工程に続く工程を説明する図である。
- 図 5 A～5 B は、図 4 B の工程に続く工程を説明する図である。
- 図 6 は、図 1 のチップ抵抗器の改変例を示す斜視図である。
- 10 図 7 A は、本発明のチップ抵抗器の製造に用いられるフレームの一例を示す斜視図であり、図 7 B は、同フレームの要部を示す平面図である。
- 図 8 A～8 B は、上記フレームを利用した製造方法の一例を説明する図である。
- 図 9 A～9 B は、上記フレームを利用した製造方法の別の例を説明する図である。
- 15 ある。
- 図 10 は、従来のチップ抵抗器の一例を示す斜視図である。
- 図 11 は、従来のチップ抵抗器の別の例を示す斜視図である。

#### 発明を実施するための最良の形態

- 20 以下、本発明の好適な実施例につき、添付図面を参照しつつ具体的に説明する。
- 図 1 および図 2 は、本発明に基づくチップ抵抗器を示している。図に示すチップ抵抗器 R 1 は、抵抗体 1 と、一对の主電極 2 1 と、一对の補助電極 2 2 と、第 1 および第 2 の絶縁層 3 1, 3 2 と、一对のハンダ層 4 とを具備している。
- 25 抵抗体 1 は、厚みが一定の矩形チップ状であり、金属製である。抵抗体 1 を形成する材質としては、Ni-Cu 系合金や Cu-Mn 系合金が挙げられるが、これらに限定されるものではない。すなわち、抵抗体 1 の材質は、チップ抵抗器 R 1 の目標抵抗値に見合った抵抗率をもつものを適宜選択すればよい。
- 一对の主電極 2 1 および一对の補助電極 2 2 は、同一材質であり、例えば銅製である。各主電極 2 1 は、抵抗体 1 の下面 1 a に設けられている。一方、各補助電極 2 2 は、抵抗体 1 の上面 1 b に設けられている。より具体的には、こ
- 30

れら一対の主電極 2 1 および補助電極 2 2 は、図に示す X 方向に間隔を隔てている。各主電極 2 1 および各補助電極 2 2 の外側側面 2 1 a, 2 2 a は、抵抗体 1 の端面 1 c (X 方向に間隔を隔てた端面) と面一状である。図 2 に示すように、各主電極 2 1 の幅  $w_1$  は、各補助電極 2 2 の幅  $w_2$  よりも大きく、一対の主電極 2 1 の間隔  $S_1$  は、一対の補助電極 2 2 の間隔  $S_2$  よりも小さくなっている。

第 1 および第 2 の絶縁層 3 1, 3 2 は、いずれもエポキシ樹脂などの樹脂製である。第 1 の絶縁層 3 1 は、抵抗体 1 の下面 1 a のうち、一対の主電極 2 1 間の領域に設けられている。一方、第 2 の絶縁層 3 2 は、抵抗体 1 の上面 1 b のうち、一対の補助電極 2 2 間の領域に設けられている。第 1 絶縁層 3 1 は、X 方向に離間した側縁部 3 1 a を有しており、これら側縁部は、主電極 2 1 の内側側面 2 1 b に接している。同様に、第 2 絶縁層 3 2 は、X 方向に離間した側縁部 3 2 a を有しており、これら側縁部は、補助電極 2 2 の内側側面 2 2 b に接している。従って、2 つの主電極 2 1 の離間距離  $S_1$  は、第 1 絶縁層 3 1 の幅と同一寸法であり、2 つの補助電極 2 2 の離間距離  $S_2$  は、第 2 絶縁層 3 2 の幅と同一寸法である。第 1 絶縁層 3 1 の厚み  $t_3$  は、主電極 2 1 の厚み  $t_1$  よりも小であり、第 2 絶縁層 3 2 の厚み  $t_4$  は、補助電極 2 2 の厚み  $t_2$  よりも小である。本発明はこれに限定されず、 $t_3$  と  $t_1$  とを同一とし、また  $t_4$  と  $t_2$  とを同一としてもよい。

図 1 および図 2 から理解されるように、各ハンダ層 4 は、底部 (主電極 2 1 を覆う)、上部 (補助電極 2 2 を覆う)、および、これら底部と上部とを繋ぐ側部を有している。側部は、抵抗体 1 の端面 1 c を覆っている。ハンダ層 4 は、後述するように、メッキにより形成される。このため、図 2 において符号  $n_1$ ,  $n_2$  で示すように、ハンダ層 4 は、第 1 および第 2 絶縁層 3 1, 3 2 の一部を覆うようにこれら絶縁層上に延びている。なお、ハンダ層 4 と同様に、主電極 2 1 および補助電極 2 2 もメッキにより形成される。このため、図には示されていないが、実際には、主電極 2 1 および補助電極 2 2 も、第 1 絶縁層 3 1 または第 2 絶縁層 3 2 上にオーバーラップしている。

抵抗体 1 の厚みは、0.1 mm ~ 1 mm 程度である。主電極 2 1 および補助電極 2 2 の厚みは、30 ~ 200  $\mu$ m 程度である。第 1 および第 2 絶縁層 3 1, 3 2 の厚みは、20  $\mu$ m 程度である。ハンダ層 4 の厚みは、5  $\mu$ m 程度である。

抵抗体 1 の長さおよび幅は、それぞれ 2 mm ～ 7 mm 程度である。もちろん、これらの寸法は例示である。例えば、抵抗体 1 のサイズは、目標抵抗値の大きさに応じて適宜設定すればよい。チップ抵抗器 R 1 は、低抵抗値（例えば 0.5 mΩ ～ 100 mΩ 程度）を有するものとして構成されている。

- 5     上述したチップ抵抗器 R 1 は、図 3 ～ 図 5 に示す方法により製造することができる。

まず、図 3 A に示すように、抵抗体 1 の材料となる金属製のプレート 10 を準備する。プレート 10 は、抵抗体 1 を複数個取り可能なサイズ（長さ×幅）を有しており、全体にわたって均一な厚みを有している。プレート 10 は、第 10   1 面 10 a およびこの第 1 面とは逆の第 2 面 10 b を含む。

図 3 B に示すように、プレート 10 の第 1 面 10 a に、複数のストリップ状絶縁層 3 1' を形成する。これら絶縁層 3 1' は、互いに平行に延びており、所定の間隔をあけて相互に離間している。絶縁層 3 1' は、例えばエポキシ樹脂の厚膜印刷により形成される。

- 15    図 3 C に示すように、プレート 10 の第 2 面 10 b に、複数のストリップ状絶縁層 3 2' を形成する。これら絶縁層 3 2' は、互いに平行に延びており、所定の間隔をあけて相互に離間している。好ましくは、上述した絶縁層 3 1' の場合と同様に、絶縁層 3 2' は、エポキシ樹脂の厚膜印刷により形成される。このように、絶縁層 3 1' , 3 2' の形成に同一の樹脂および同一の手法を用 20    いることで、製造コストの上昇を抑えることができる。また、厚膜印刷によれば、各絶縁層 3 1' , 3 2' の幅や厚みを所定の寸法に正確に仕上げることもできる。同図に示すように、絶縁層 3 2' は、対応する一の絶縁層 3 1' に対して鉛直方向に位置合わせされており、絶縁層 3 2' の幅は、絶縁層 3 1' の幅よりも大きく設定されている。

- 25    図 4 A に示すように、第 1 面 10 a に形成された絶縁層 3 1' の間に第 1 の導電層 2 1' を形成する。これと同時に、第 2 面 10 b に形成された絶縁層 3 2' の間に第 2 の導電層 2 2' を形成する。これら第 1 および第 2 の導電層 2 1' , 2 2' の形成は、例えば銅メッキにより行なう。第 1 の導電層 2 1' は、主電極 2 1 の原型となる部分であり、第 2 の導電層 2 2' は、補助電極 2 2 の 30    原型となる部分である。

メッキ処理によれば、均一な厚みを有する複数の導電層を同時にかつ容易に



形成することができる。また、メッキ処理によれば、導電層と絶縁層との間に隙間が生じないように、導電層を形成することが可能である。

導電層 2 1' , 2 2' が形成された後、図 4 B に示すように、仮想線 C 1 に沿って、プレート 1 0 (およびその上に形成された導電層 2 1' , 2 2' ) を  
5 切断する。切断位置は、導電層 2 1' , 2 2' をその幅方向において 2 分割する位置である。この切断により、プレート 1 0 は複数のバー状の抵抗材料体 1' に分割される。抵抗材料体 1' は、切断面として、その長手方向に延びる一対の側面 1 c' を有することとなる。

図 5 A に示すように、抵抗材料体 1' の側面 1 c' 、および導電層 2 1' ,  
10 2 2' を覆うようにしてハンダ層 4' を形成する。これにより、バー状の抵抗器集合体 R 1' が得られる。ハンダ層 4' の形成は、例えばメッキ処理により行なう。

図 5 B に示すように、仮想線 C 2 に沿って、抵抗器集合体 R 1' を切断する。切断位置は、抵抗器集合体 R 1' の長手方向に一定間隔を隔てた箇所である。  
15 この切断により、抵抗器集合体 R 1' は複数のチップ抵抗器 R 1 に分割される。

上述のようにして得られたチップ抵抗器 R 1 は、プリント回路基板 (あるいはその他の実装対象) に対して、例えばハンダリフローの手法により面実装される。具体的には、ハンダリフローの手法では、回路基板上の端子にクリームハンダを塗布する。その後、塗布されたハンダに主電極 2 1 が接触するように  
20 チップ抵抗器 R 1 を回路基板上に載置する。この状態で、回路基板およびチップ抵抗器 R 1 をリフロー炉内で加熱する。最後に、溶融したハンダを冷却固化して、チップ抵抗器 R 1 を回路基板に固定する。

上述したハンダのリフロー時には、ハンダ層 4 が溶融する。ハンダ層 4 は、抵抗体 1 の各端面 1 c 上と、各主電極 2 1 および各補助電極 2 2 上に形成されている。そのため、溶融したハンダにより、図 1 の仮想線で示すようなハンダ  
25 フィレット H f が形成される。このハンダフィレット H f の状態 (例えば形状) を外部から確認することにより、チップ抵抗器 R 1 の実装が適切に行なわれたか否かを判断することができる。また、ハンダフィレット H f の存在により、チップ抵抗器 R 1 を回路基板に確実に固定することができる。さらに、ハンダ  
30 フィレット H f は、チップ抵抗器 R 1 において発生する熱を逃がす役割を果たすため、チップ抵抗器 R 1 の温度上昇抑制効果もある。このようなハンダフィ

レットを形成するためには、好ましくは、図に示した実施形態のように、下部（主電極 2 1 を覆う）、側部（抵抗体 1 の端面 1 c を覆う）および上部（補助電極 2 2 を覆う）の 3 つの部分からなるが、本発明がこれに限定されるわけではない。例えばハンダ層 4 は、少なくとも抵抗体 1 の端面 1 c を覆う部分を有  
5 していればよい。また、ハンダ層 4 の下部、側部および上部は、好ましくは一体的に繋がった状態とされるが、これら 3 つの部分が互いに分離して設けられていてもかまわない。

チップ抵抗器 R 1 の面実装時には、溶融したハンダが主電極 2 1 あるいは補助電極 2 2 から遠ざかる方向に流れ出す場合がありうる。しかしながら、抵抗  
10 体 1 の下面 1 a および上面 1 b における「電極非形成部分」（主電極 2 1 および補助電極 2 2 が設けられていない部分）の全体には、第 1 および第 2 の絶縁層 3 1, 3 2 が形成されている。このため溶融ハンダが抵抗体 1 に直接付着することが防止される。

チップ抵抗器 R 1 の抵抗値（一对の主電極 2 1 間の抵抗値）を目標値に仕上  
15 げるには、一对の主電極 2 1 の間隔 S 1 を所定の間隔に正確に仕上げる必要がある。これに関し、一对の主電極 2 1 の間隔 S 1 は、厚膜印刷によりそのサイズを所定の寸法に正確に仕上げられている第 1 絶縁層 3 1 によって規定されている。このため、間隔 S 1 は、所定の正確な値とすることができる。

各補助電極 2 2 は銅製であり、各主電極 2 1 と同一の高い電気伝導率を有し  
20 ている。補助電極 2 2 は、抵抗体 1 よりも比抵抗が小さい。このため、各主電極 2 1、各補助電極 2 2、およびこれらに挟まれた抵抗体 1 の一部分からなる領域の電気抵抗は、補助電極 2 2 を備えていない場合（図 10 参照）の電気抵抗よりも小さくなる。したがって、例えばハンダが各主電極 2 1 の下面の内側側面 2 1 b 寄り部分のみに偏って接触した場合と、ハンダが各主電極 2 1 の  
25 下面の外側側面 2 1 a 寄り部分のみに偏って接触した場合との抵抗値の差を小さくすることができる。

補助電極 2 2 の間隔 S 2 は、主電極 2 1 の間隔 S 1 よりも大きい。このため、補助電極 2 2 間の抵抗は、主電極 2 1 間の抵抗よりも大きくなっている。したがって、チップ抵抗器 R 1 の抵抗値が補助電極 2 2 間の抵抗の影響により本来  
30 の抵抗値よりも低くなることはない。

各主電極 2 1 および各補助電極 2 2 の一部は、第 1 および第 2 の絶縁層 3 1,

32の側縁部31a, 32a上にオーバーラップしている。したがって、それらの側縁部31a, 32aが抵抗体1から容易に剥離することもない。

本発明は、上述した実施形態の内容に限定されるものではない。本発明に係るチップ抵抗器の各部の具体的な構成は、種々に設計変更自在である。同様に、  
5 本発明に係るチップ抵抗器の製造方法の各作業工程の具体的な構成も、種々に変更自在である。

例えば、本発明のチップ抵抗器は、図6に示すような構成にしてもよい。図6以降の図においては、前記実施形態と同一または類似の要素には、前記実施形態と同一の符号を付している。

10 図6に示すチップ抵抗器R2は、抵抗体1の一对の側面1dを覆う第3の絶縁層33を備えている。このような構成によれば、抵抗体1の側面1dにハンダが付着することを防止することができる。

また、チップ抵抗器を製造する場合には、図7Aおよび図7Bに示すようなフレームFを用いることもできる。このフレームFは、例えば平板状の金属板  
15 を打ち抜き加工するなどして形成されたものである。フレームFは、一定方向に延びた複数の板状部11と、これら複数の板状部11を支持する矩形棒状の支持部12とを備えている。隣り合う板状部11どうしの間には、スリット13が形成されている。支持部12と各板状部11との連結部14の幅W1は、板状部11の幅W2よりも小さくされている。このことは、連結部14を捩じ  
20 り変形させて各板状部11を矢印N1方向に約90度回転させることにより、各板状部11の側面11cに対して後述するハンダ層4'の形成作業、あるいは絶縁層33'の形成作業を容易化させるのに役立つ。

上述したフレームFを用いる場合には、図8Aおよび図8Bに示すように、各板状部11の片面11a上に、帯状の絶縁層31'と、この絶縁層31'を  
25 挟む2条の帯状の導電層21'とを形成する。また、各板状部11の片面11aとは反対の面11b上にも、帯状の絶縁層32'と、この絶縁層32'を挟む2条の帯状の導電層22'とを形成する（同図のクロスハッチングで示した部分が導電層21', 22'であり、これは図9においても同様である）。次いで、各板状部11の一对の側面11cにハンダ層4'を形成する。ハンダ層  
30 4'の形成に際しては、導電層21', 22'の表面を覆うように形成してもよい。上述した工程により、バー状の抵抗器集合体R3'が得られる。そして、

この抵抗器集合体 $R3'$ を仮想線 $C3$ の箇所で切断すると、複数のチップ抵抗器 $R3$ が製造される。このチップ抵抗器 $R3$ は、図1および図2で説明したチップ抵抗器 $R1$ と同様な構成である。

また、上述した手法とは異なり、例えば図9に示す方法でチップ抵抗器を製造してもよい。すなわち、フレーム $F$ の各板状部 $11$ の片面 $11a$ 上に矩形状の複数の絶縁層 $31'$ と複数の導電層 $21'$ とを交互に形成する。また、片面 $11a$ とは反対の面 $11b$ 上に矩形状の複数の絶縁層 $32'$ と複数の導電層 $22'$ とを交互に形成する。次いで、板状部 $11$ の一对の側面 $11c$ に絶縁層 $33'$ を形成する。このような工程により、バー状の抵抗器集合体 $R4''$ が得られる。この抵抗器集合体 $R4''$ を仮想線 $C4$ の箇所で切断すると、複数のハンダ層未形成のチップ抵抗器 $R4'$ が製造される。次いで、これらのチップ抵抗器 $R4'$ の抵抗体 $1$ の両端面 $1c$ にハンダをメッキする。これにより、図6に示すチップ抵抗器 $R2$ と同様な構成のチップ抵抗器 $R4$ を得ることができる。

ハンダ層 $4$ の形成は、例えばバレルメッキにより行なう。複数のチップ抵抗器 $R4'$ を製造した後に、これら複数のチップ抵抗器 $R4'$ を1つのバレル内に收容し、これらに対してハンダメッキ処理を一括して施す。各チップ抵抗器 $R4'$ は、抵抗体 $1$ の端面 $1c$ 、各主電極 $21$ の表面、および各補助電極 $22$ の表面が露出した金属面となっている。一方、これら以外の部分は第1ないし第3の絶縁層 $31\sim33$ に覆われているため、上述した金属面に適切にハンダ層 $4$ を形成することができる。これにより、チップ抵抗器 $R4$ は効率良く製造される。

本発明においては、1つのプレートから複数のチップ抵抗器が作製される。上述した実施例においては、プレートを切断することにより複数のチップを得ていた。しかしながら、これに代えて、例えばプレートに打ち抜きを施すことによって、複数のチップを得るようにしてもかまわない。

本発明においては、抵抗体の片面に複数ペアの電極を形成するようにしてもかまわない。この場合には、一对の電極を電流検出用に、他の一对の電極を電圧検出用に使用することも可能である。また、主電極どうしの間隔と補助電極どうしの間隔とは、同一であってもよい。

本発明につき、以上のように説明したが、これを他の様々な態様に改変し得ることは明らかである。このような改変は、本発明の思想及び範囲から逸脱す

るものではなく、当業者に自明な全ての変更は、以下における請求の範囲に含まれるべきものである。

## 請求の範囲

1. 第1面およびこの第1面とは逆の第2面を有する抵抗体と、  
前記第1面上に相互に離間して設けられた少なくとも2つの主電極と、  
5 前記第2面上に相互に離間するとともに、前記抵抗体を介して前記主電極と対向する位置に設けられた少なくとも2つの補助電極と、を具備する構成において、  
前記主電極と前記補助電極とは材質が同じである、チップ抵抗器。
- 10 2. 前記補助電極の間の離間距離は、前記主電極の間の離間距離以上とされている、請求項1に記載のチップ抵抗器。
3. 前記抵抗体上に形成された第1絶縁層および第2絶縁層をさらに具備する構成において、前記第1絶縁層は、前記抵抗体の前記第1面のうち前記主電極  
15 の間に位置する領域を覆っており、前記第2絶縁層は、前記抵抗体の前記第2面のうち前記補助電極の間に位置する領域を覆っている、請求項1に記載のチップ抵抗器。
4. 前記第1絶縁層の厚みは、前記主電極の厚み以下とされている、請求項3  
20 に記載のチップ抵抗器。
5. 前記抵抗体上に形成された少なくとも2つのハンダ層をさらに具備する構成において、前記抵抗体は、相互に離間した一対の端面を含んでおり、各端面は、前記2つのハンダ層のうち対応する一のハンダ層により覆われている、請  
25 求項1に記載のチップ抵抗器。
6. 前記ハンダ層は、前記抵抗体の前記端面に加えて、前記主電極および前記補助電極を覆っている、請求項5に記載のチップ抵抗器。
- 30 7. 前記抵抗体上に形成された第3絶縁層をさらに具備する構成において、前記抵抗体は、前記第1面および前記第2面の間を延びる側面を有しており、こ

の側面が、前記第 3 絶縁層により覆われている、請求項 3 に記載のチップ抵抗器。

- 5        8. 第 1 面およびこの第 1 面とは逆の第 2 面を有する抵抗材料体を準備し、  
前記第 1 面上に第 1 導電層をパターン形成し、  
前記第 2 面上に第 2 導電層をパターン形成し、  
前記抵抗材料体を複数の抵抗体に分割する、各ステップを具備する構成において、

- 10        前記第 1 導電層および前記第 2 導電層が、同一の材料から形成される、チップ抵抗器の製造方法。

- 15        9. 前記抵抗材料体の分割は、結果として得られるチップ抵抗器が、前記第 1 導電層の一部としての主電極を備え、かつ、前記第 2 導電層の一部としての補助電極を備えるように行われる、請求項 8 に記載の方法。

- 20        10. 前記第 1 導電層のパターン形成に先立ち、前記抵抗材料体の前記第 1 面上に第 1 絶縁層をパターン形成するとともに、前記抵抗材料体の前記第 2 面上に第 2 絶縁層をパターン形成するステップをさらに具備する構成において、前記第 1 導電層および前記第 2 導電層は、前記抵抗材料体のうち、前記第 1 および第 2 絶縁層が形成されていない領域に形成される、請求項 8 に記載の方法。

- 25        11. 前記絶縁層のパターン形成は、厚膜印刷により行なう、請求項 10 に記載の方法。

- 30        12. 前記第 1 および第 2 導電層の形成は、金属メッキにより行なう、請求項 10 に記載のチップ抵抗器の方法。

13. 前記抵抗材料体の分割は、打ち抜きまたは切断により行なわれる、請求項 8 に記載の方法。

14. 各抵抗体の側面上に絶縁層を形成するとともに、前記各抵抗体の端面にパレルメッキ処理によってハンダ層を形成するステップをさらに具備している、請求項 8 に記載の方法。



FIG.1

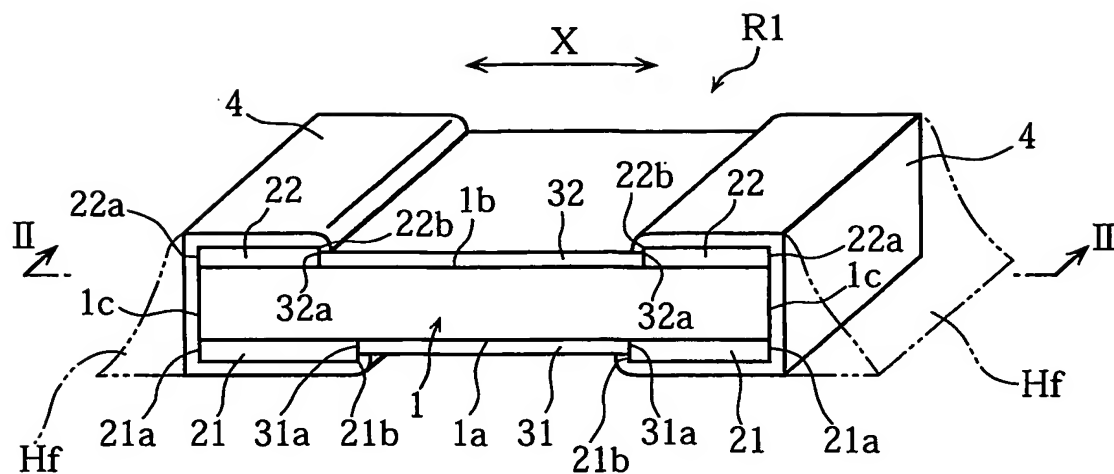


FIG.2

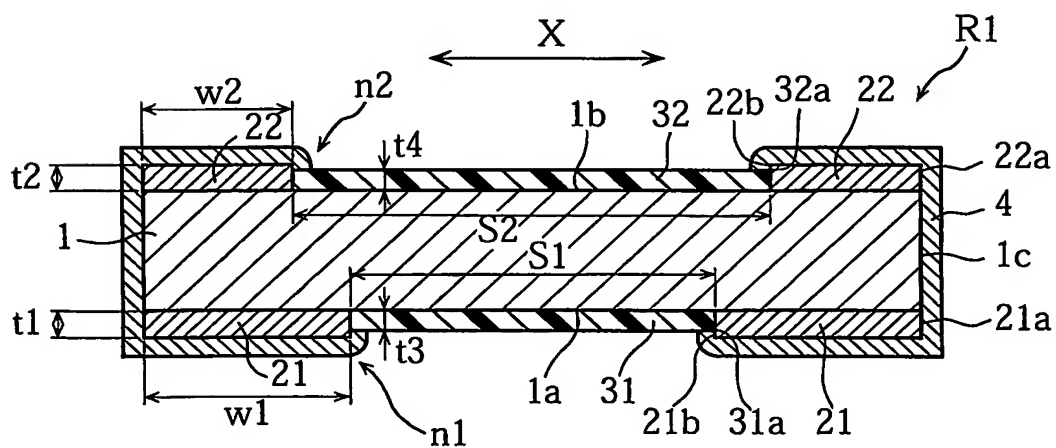


FIG.3A

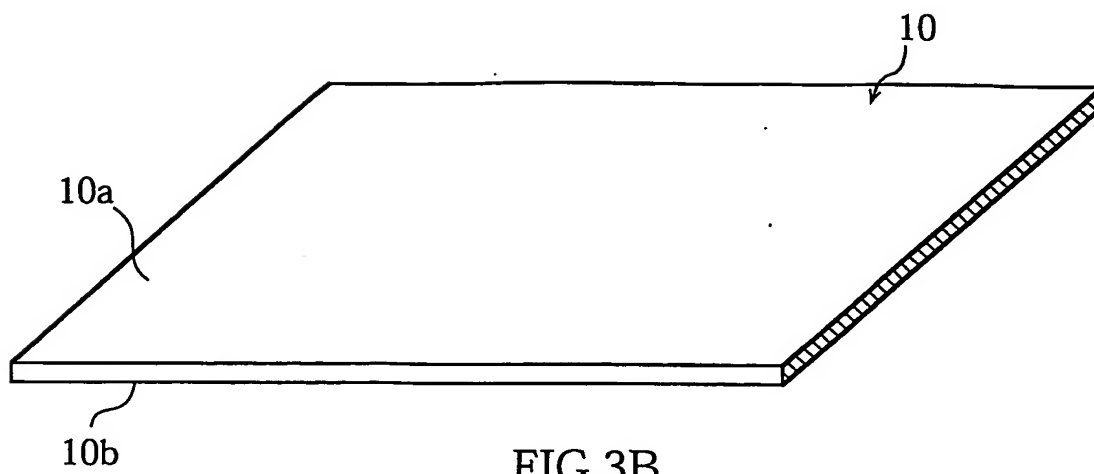


FIG.3B

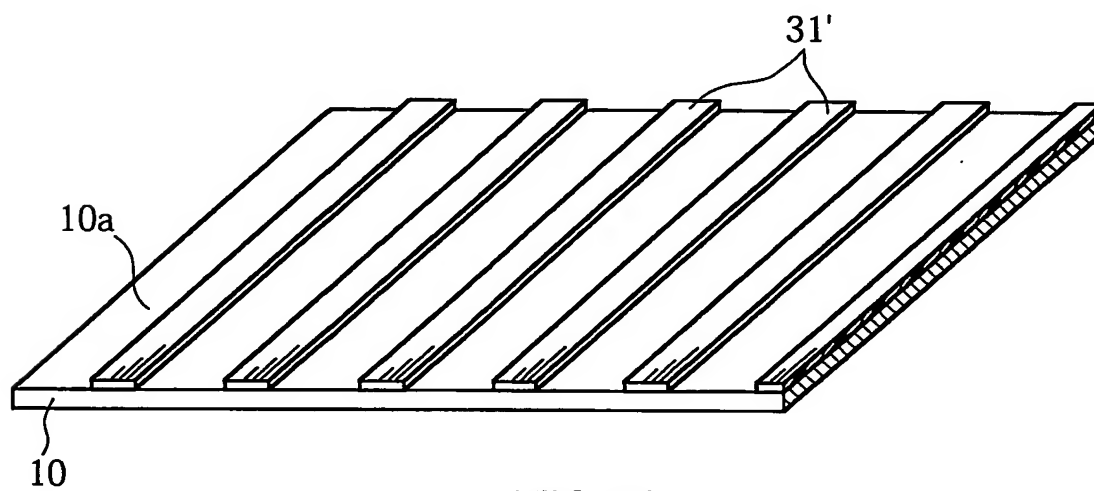


FIG.3C

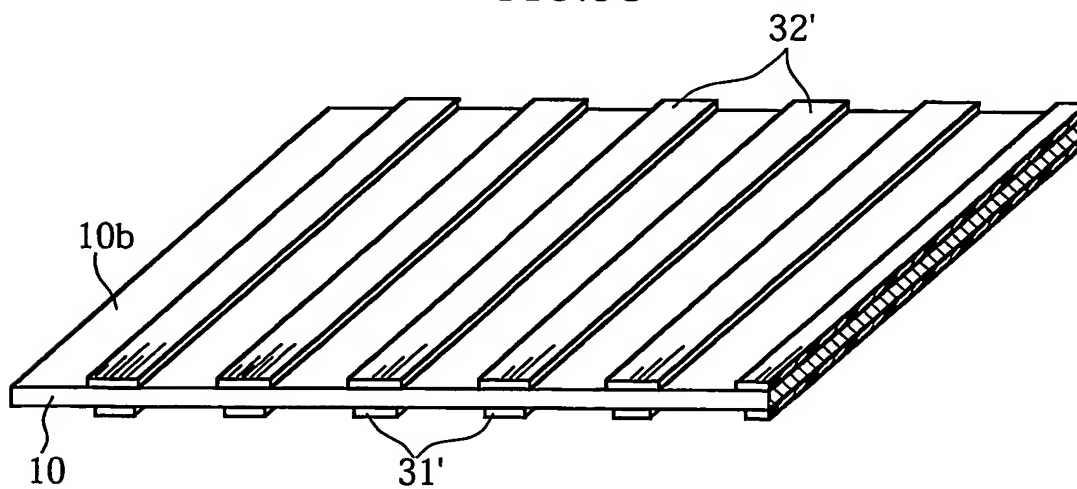


FIG.4A

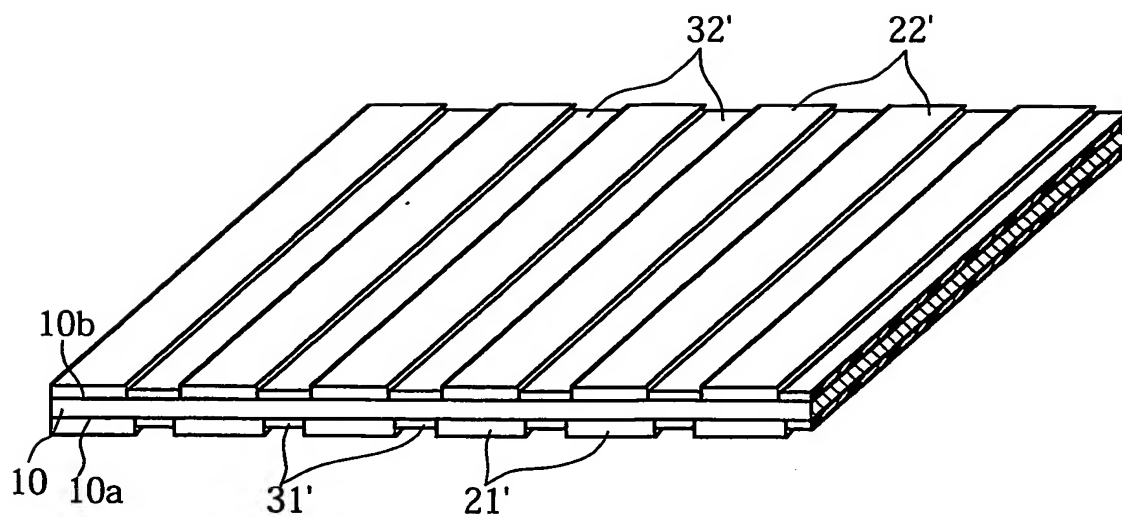


FIG.4B

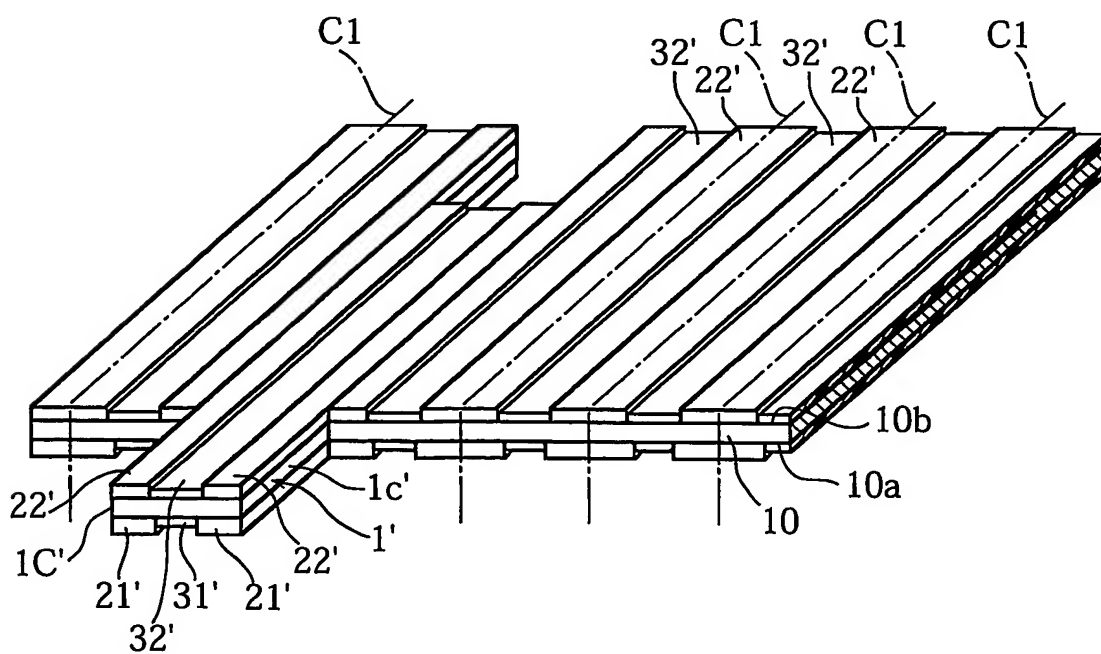


FIG.5A

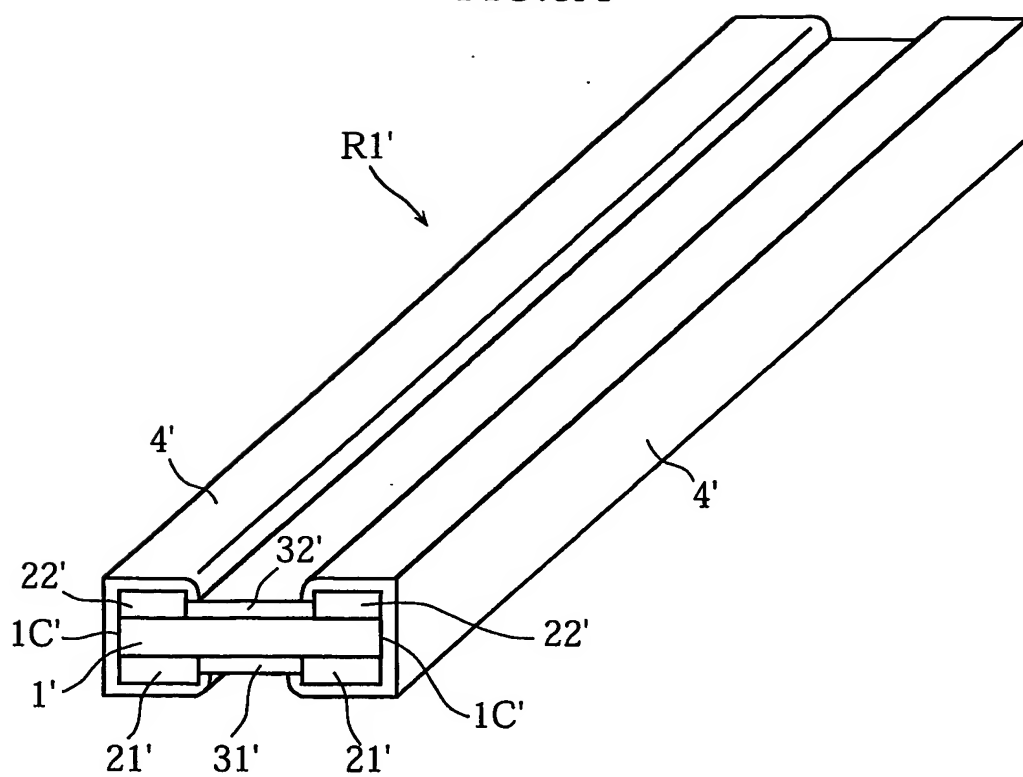


FIG.5B

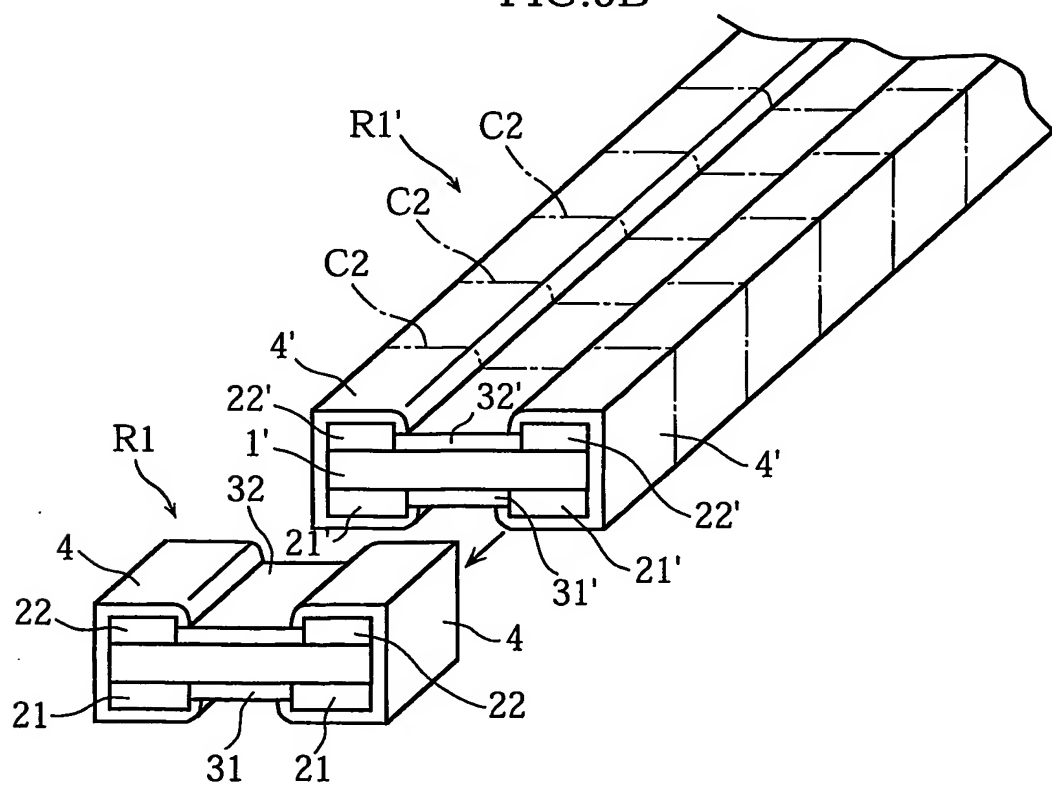
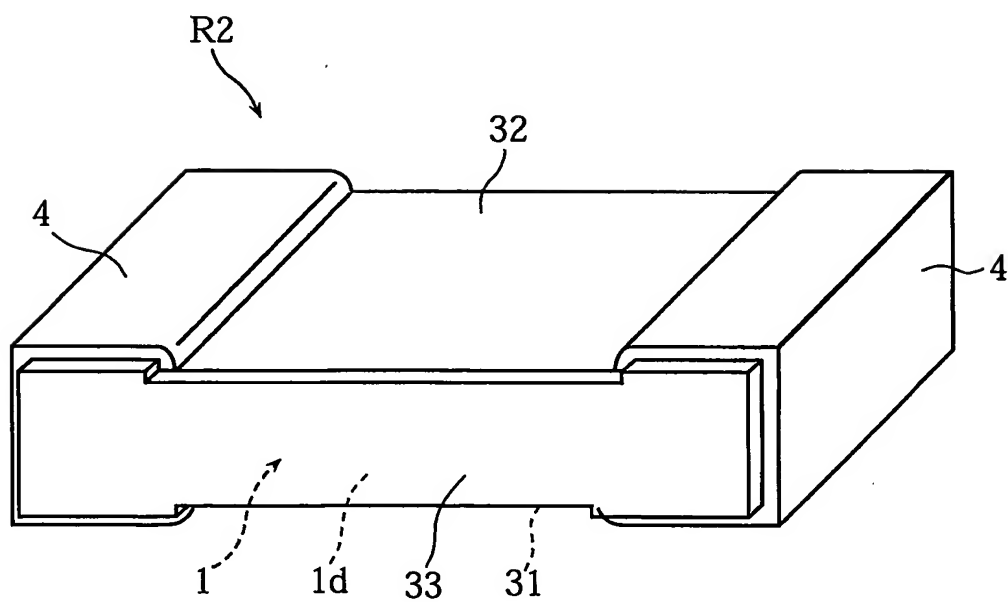
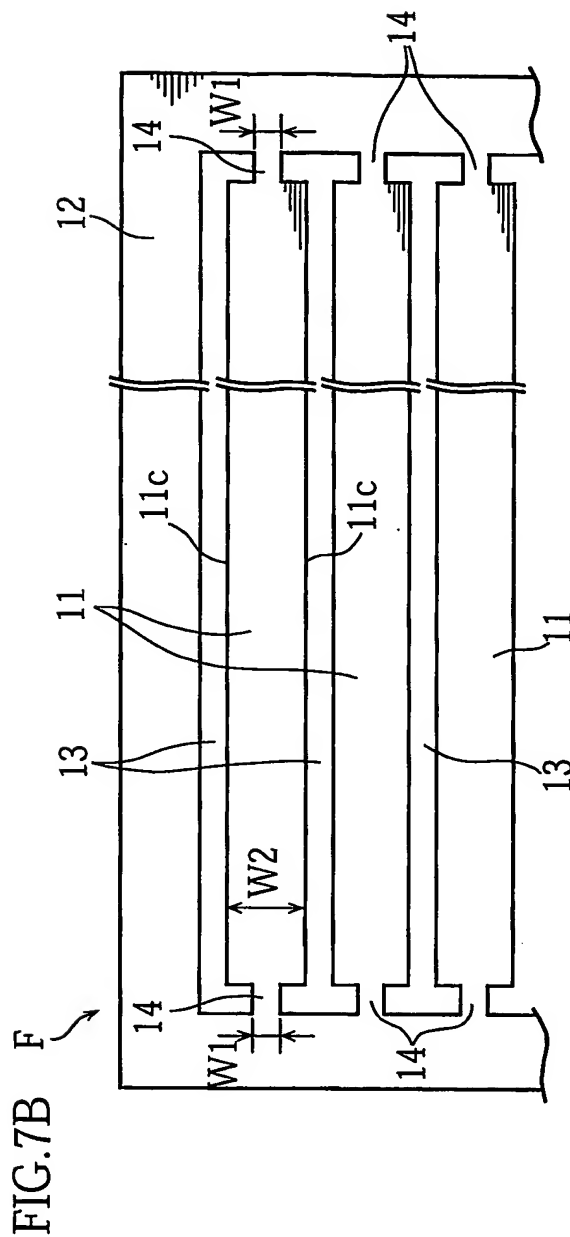
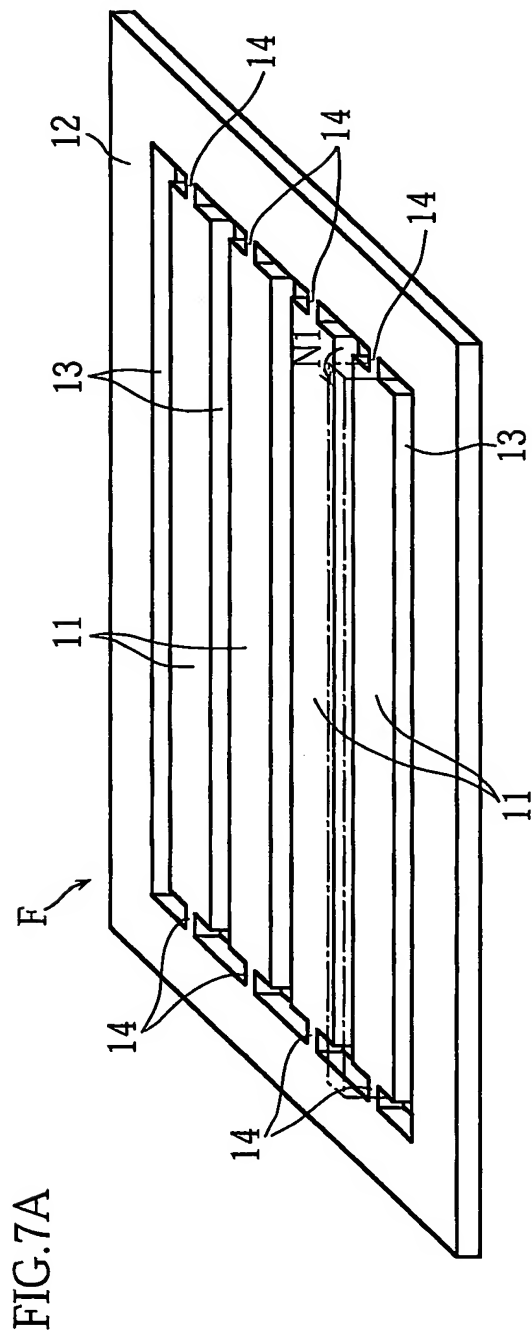


FIG.6





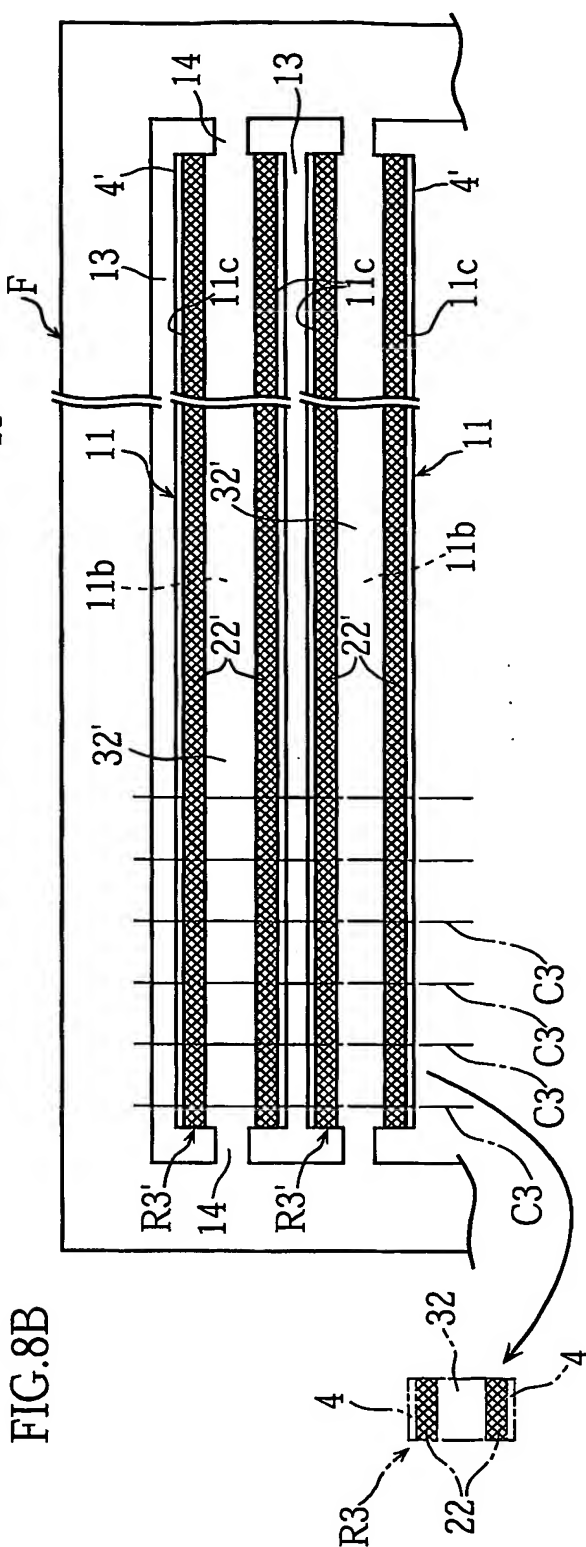
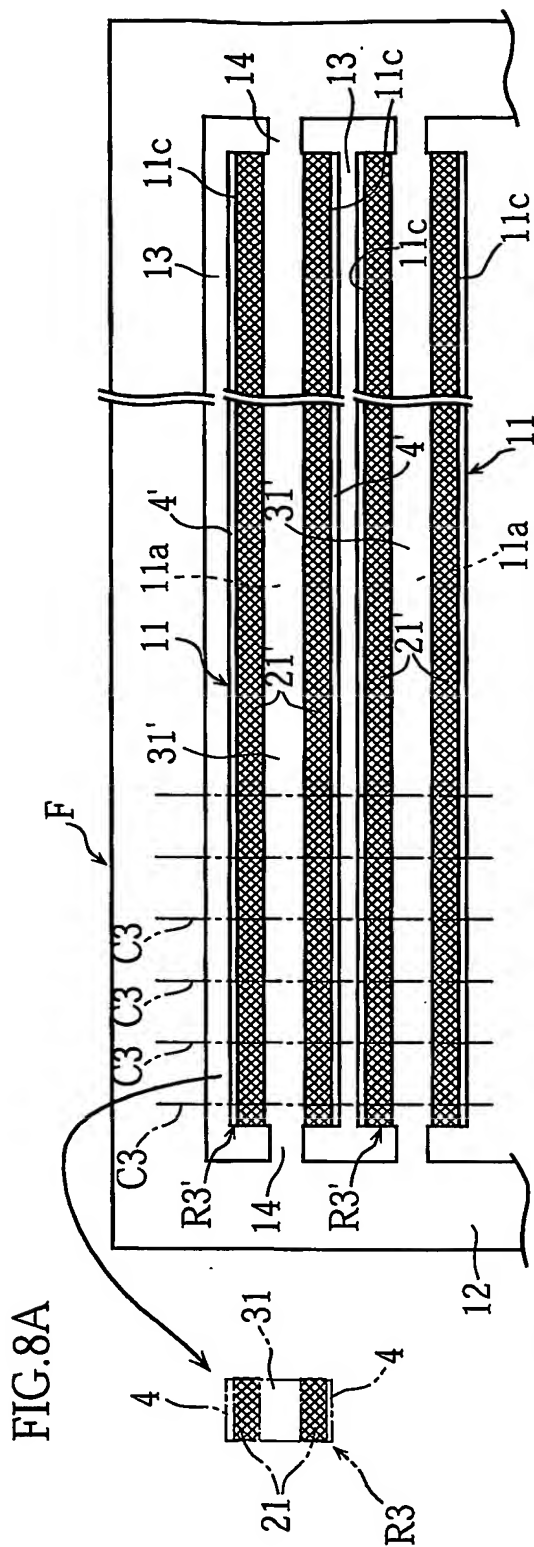


FIG. 9A

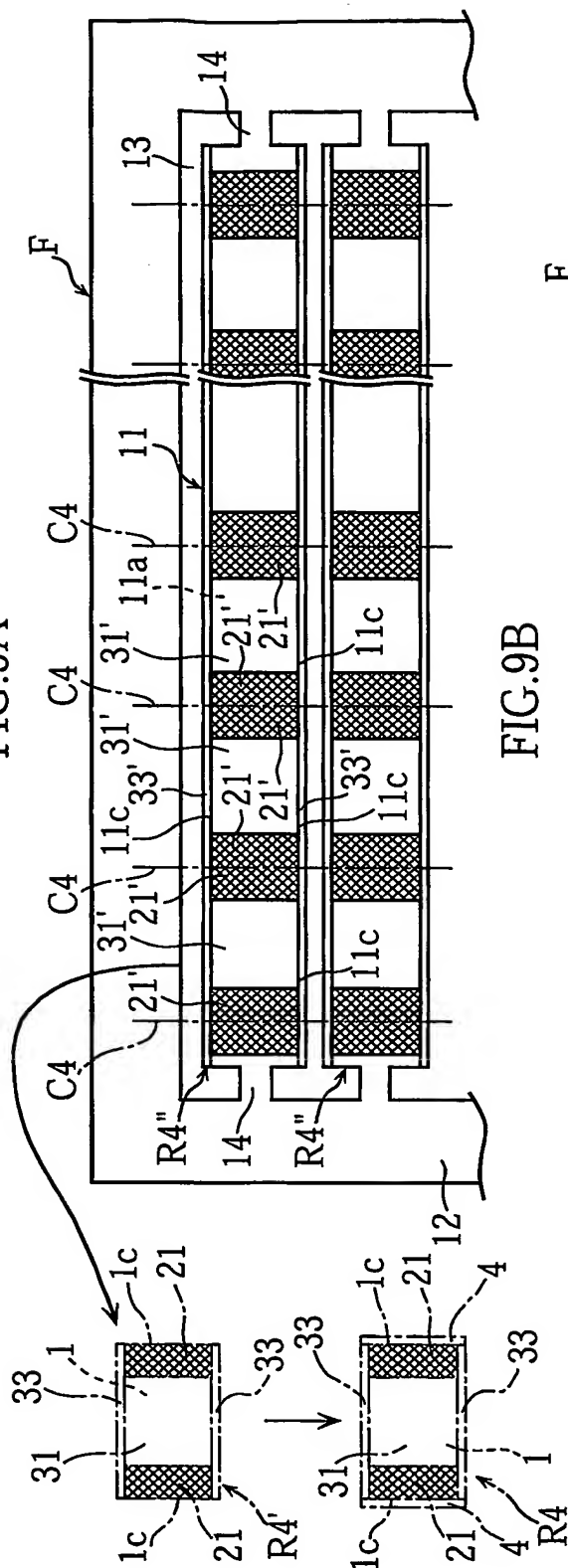


FIG. 9B

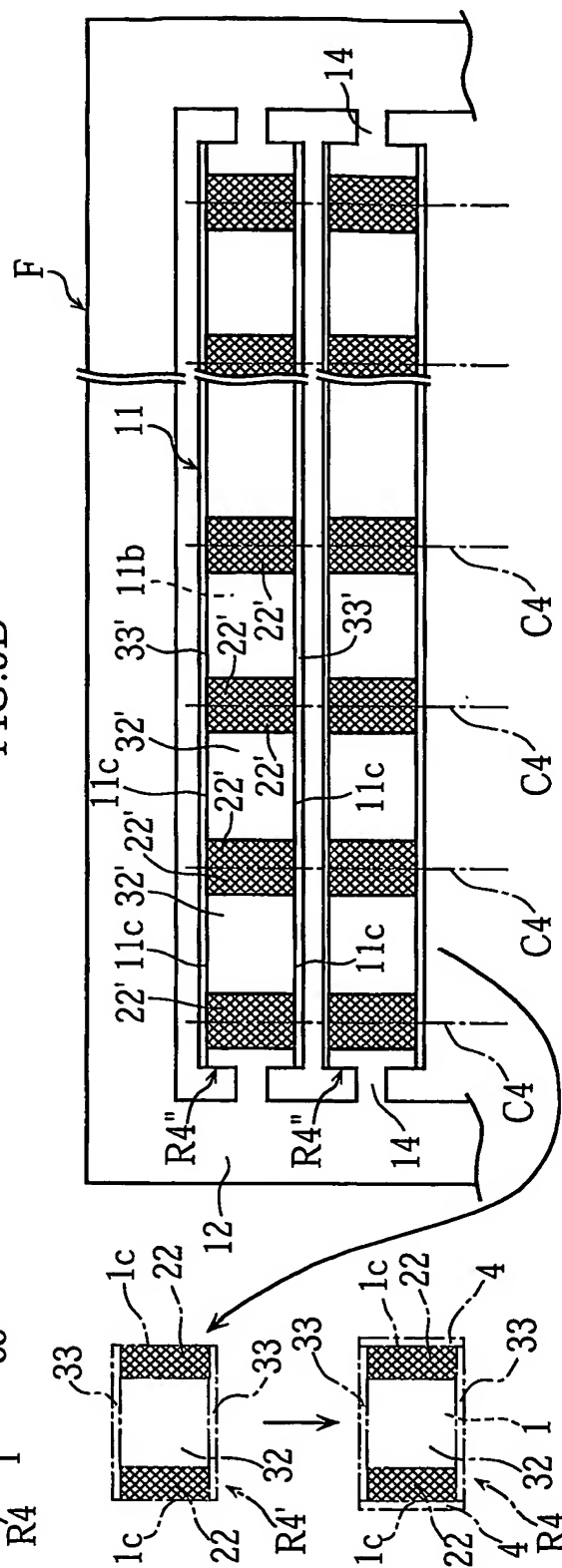




FIG.10  
従来技術

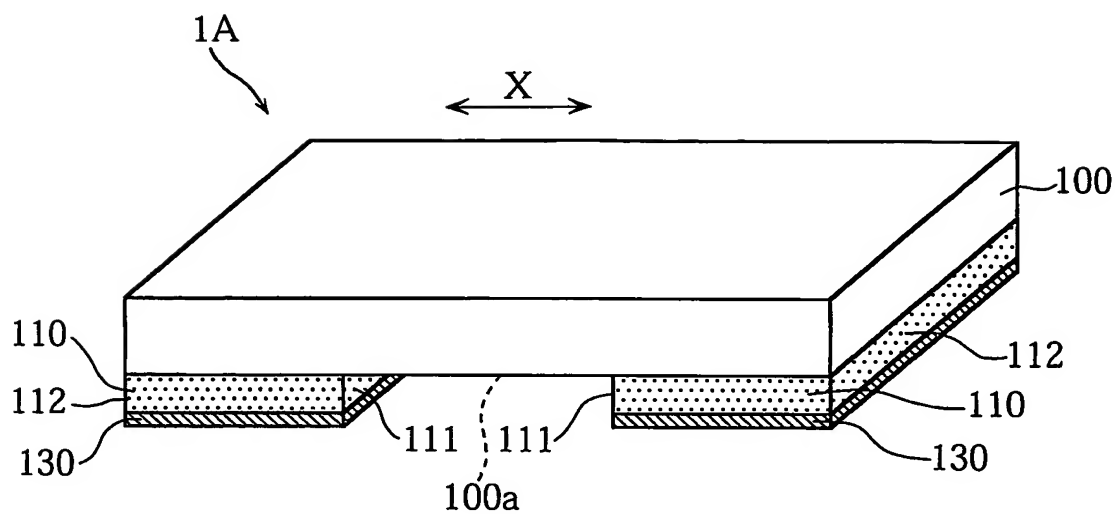
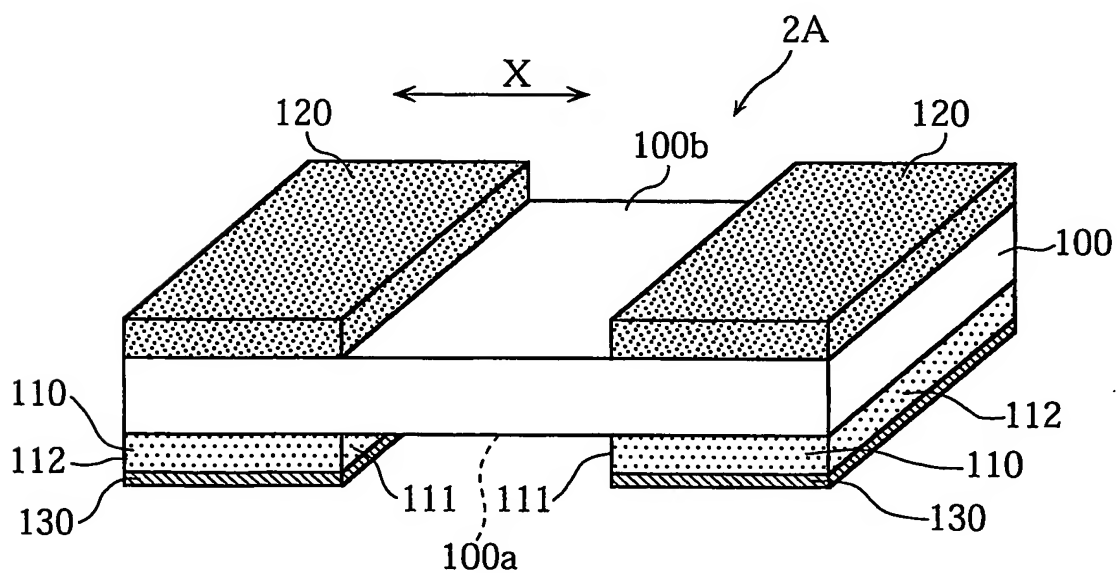


FIG.11  
従来技術



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005523

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01C3/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01C3/00, 7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-57010 A (Koa Kabushiki Kaisha), 22 February, 2002 (22.02.02), Full text; all drawings (Family: none)	1-14
Y	JP 2000-114009 A (Alpha Electronics Corp.), 21 April, 2000 (21.04.00), Full text; all drawings (Family: none)	1-14
Y	WO 99/18584 A (Matsushita Electric Industrial Co., Ltd.), 15 April, 1999 (15.04.99), Full text; all drawings & EP 1028436 A & CN 1272945 A	3, 4, 7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"B" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
05 July, 2004 (05.07.04)

Date of mailing of the international search report  
20 July, 2004 (20.07.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005523

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-150210 A (Rohm Co., Ltd.), 30 May, 2000 (30.05.00), Full text; all drawings (Family: none)	5, 6, 14
Y	JP 47-27876 Y1 (Fuji Sangyo Kabushiki Kaisha), 24 August, 1972 (24.08.72), Full text; all drawings (Family: none)	10
Y	JP 8-64401 A (Rohm Co., Ltd.), 08 March, 1996 (08.03.96), Full text; all drawings (Family: none)	11
Y	JP 2001-118701 A (Koa Kabushiki Kaisha), 27 April, 2001 (27.04.01), Full text; all drawings (Family: none)	12
Y	JP 8-236324 A (Dale Electronics, Inc.), 13 September, 1996 (13.09.96), Full text; all drawings & US 5604477 A & EP 716427 A	13

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01C 3/00

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01C 3/00 7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-57010 A (コア株式会社) 2002. 02. 22, 全文, 全図 (ファミリーなし)	1-14
Y	JP 2000-114009 A (アルファ・エレクトロニクス) 2000. 04. 21, 全文, 全図 (ファミリーなし)	1-14
Y	WO 99/18584 A (松下電器産業株式会社) 1999. 04. 15, 全文, 全図 & EP 1028436 A & CN 1272945 A	3, 4, 7

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

05. 07. 2004

国際調査報告の発送日

20. 7. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J-P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

重田 尚郎

5 R

9298

電話番号 03-3581-1101 内線 3565

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2000-150210 A (ローム株式会社) 2000. 05. 30, 全文, 全図 (ファミリーなし)	5, 6, 14
Y	J P 47-27876 Y1 (富士産業株式会社) 1972. 0 8. 24, 全文, 全図 (ファミリーなし)	10
Y	J P 8-64401 A (ローム株式会社) 1996. 03. 0 8, 全文, 全図 (ファミリーなし)	11
Y	J P 2001-118701 A (コア株式会社) 2001. 04. 27, 全文, 全図 (ファミリーなし)	12
Y	J P 8-236324 A (ディル エレクトロニクス, インコー ポレイテッド) 1996. 09. 13, 全文, 全図& US 5 604477 A & EP 716427 A	13